

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-165461

(43)Date of publication of application : 18.09.1984

(51)Int.Cl. H01L 29/80  
H01L 21/20

(21)Application number : 58-038166 (71)Applicant : OKI ELECTRIC IND CO LTD  
ONO KAZUMASA

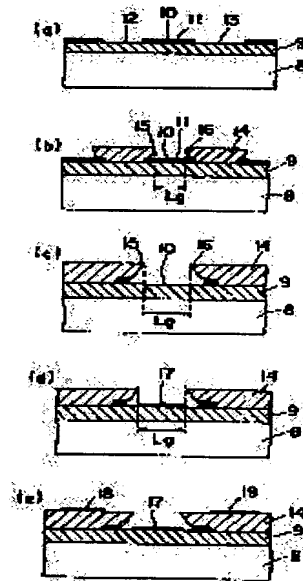
(22)Date of filing : 10.03.1983 (72)Inventor : ISHII YASUHIRO  
FUJITA YOSHIMOTO  
ONO KAZUMASA

## (54) SCHOTTKY JUNCTION TYPE COMPOUND SEMICONDUCTOR FIELD EFFECT TRANSISTOR

### (57)Abstract:

**PURPOSE:** To perform the increase in a short gate in a preferable shape and the minimization of a series resistance between a source and a drain by applying lateral growth of selective epitaxial growth to part of an insulating film, and forming a Schottky junction gate electrode set in high accuracy.

**CONSTITUTION:** An SiO<sub>2</sub> film or Si<sub>3</sub>N<sub>4</sub> film is formed as an insulating film on the surface of an N type GaAs active layer 9, an insulating film 11 remains on an N type GaAs active region 10 by a normal method, and windows for source and drain electrodes 12, 13 are opened. Then, with the opened parts as masks an N<sup>+</sup> type layer 14 is selectively epitaxially grown on the layer 9, and lateral growth parts 15, 16 are formed on the film 11. Then, with the end faces of the lateral growth parts 15, 16 as masks a window for the region 10 is opened by etching. Subsequently, the lateral growth end face of the selective epitaxial growth is used as a mask of self-aligning type, thereby forming a Schottky junction gate electrode metal 17.



## LEGAL STATUS

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭59—165461

⑫ Int. Cl.<sup>3</sup>  
H 01 L 29/80  
21/20

識別記号  
庁内整理番号  
7925—5F  
7739—5F

⑬ 公開 昭和59年(1984) 9月18日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑭ ショットキ接合形化合物半導体電界効果トランジスタ

⑮ 特 願 昭58—38166  
⑯ 出 願 昭58(1983) 3月10日  
⑰ 発 明 者 石井康博  
東京都港区虎ノ門1丁目7番12  
号沖電気工業株式会社内  
⑱ 発 明 者 藤田良基  
東京都港区虎ノ門1丁目7番12

号沖電気工業株式会社内  
⑲ 発 明 者 小野貞正  
厚木市毛利台2丁目9番5号  
⑳ 出 願 人 沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12  
号  
㉑ 出 願 人 小野貞正  
厚木市毛利台2丁目9番5号  
㉒ 代 理 人 弁理士 菊池弘

明 細 書

1. 発明の名称

ショットキ接合形化合物半導体電界効果トランジスタ

2. 特許請求の範囲

n形化合物半導体活性層を有する半絶縁性化合物半導体基板上に、活性域部を被つてソース・ドレイン電極域を開窓した絶縁膜を設け、n<sup>+</sup>形導電層を上記絶縁膜の開窓部および活性域部を被つている絶縁膜上の一部に横方向への選択エピタキシャル成長を行ない、この選択エピタキシャル成長の横方向成長端面をマスクとして絶縁膜の開窓エッチングによりn形化合物半導体活性域部を設け、この開窓エッチングした部分に上記横方向成長端面をマスクとしてショットキ接合ゲート電極金属を構成してなることを特徴とするショットキ接合形化合物半導体電界効果トランジスタ。

3. 発明の詳細な説明

(技術分野)

この発明は、選択エピタキシャル成長n<sup>+</sup>形導電

層の絶縁膜上への横方向成長の効果によつてn形活性層上に対して、ショットキ接合ゲート電極の相対位置関係を自動的に設定して構成されるショットキ接合形化合物半導体電界効果トランジスタに関する。

(従来技術)

GaAsあるいはInPなどの化合物半導体を基板とする電界効果トランジスタは、シリコン基板のものに比べて超高频・超高速の信号処理の領域で非常に良好な性能を発揮することは周知の通りであり、その高性能化のための基本的事項としてゲート長の短縮化、ソース・ドレイン間の直列付加抵抗の低減などが重要である。

しかしながら、これらを実現するためには、微細構造のショットキ接合電極の製作、ソース・ドレイン間の活性層長さの最適化とそのゲート電極に対する精密な相対位置関係の確保などの製造上の困難な問題があり、素子の構成に全く新規な発明に基づく飛躍が必要である。

ここで、従来のショットキ接合形化合物半導体

電界効果トランジスタについての構造とその製造方法について概述する。第1図(a), 第1図(b)はその工程説明図である。

まず、第1図(a)に示すように、半絶縁性GaAs基板1上にエピタキシャル成長によりn形GaAs活性層2およびn<sup>+</sup>形GaAs導電層3を積層し、このn<sup>+</sup>形GaAs導電層3の表面に絶縁膜4を設け、この絶縁膜4にレジスト塗布露光描画法により、ショットキ接合ゲート電極を設定するための絶縁膜開窓エッチングを行ない、絶縁膜4をマスクにn<sup>+</sup>形GaAs導電層3とn形GaAs活性層2内に食い込む選択エッチングをし、その廻り込まれたn形GaAs活性層2上に絶縁膜4をマスクとして、ショットキ接合金属の真空蒸着・リフトオフによりショットキ接合ゲート電極5を形成している。

このような工程により、設定されたショットキ接合ゲート電極5に加えて、第1図(b)に示すように、n<sup>+</sup>形GaAs導電層3にオーム性接触のソース電極6およびドレイン電極7を設けている。

このような従来のショットキ接合形化合物半導

体電界効果トランジスタの構成には、次のような重要な欠点が生じている。

まず、セルフアライン方式によるショットキ接合ゲート電極5の形成では、高精度なマスク形成が要求されるが、通常の絶縁膜開窓エッチングで形成される開窓の周辺形状はレジストパターンおよび絶縁膜エッチングの周辺効果により良好な形状の確保が困難であり、工業的には1μm以下の微細構造化ゲート電極形成において重大な欠点となっている。

次に、n形GaAs活性層2とn<sup>+</sup>形GaAs導電層3との積層エピタキシャルを使用するため、n形GaAs活性層2のエッチングによる厚さ制御の困難性が必然であることに加えて、n-n<sup>+</sup>層境界面で不純物濃度勾配分布のだれなどの悪影響が加わり、n形GaAs活性層2の高品質化、均一化が困難となる。

また、この積層に関連して、絶縁膜をマスクとする化合物半導体の選択掘込みエッチングでは、深さ方向と横方向とのエッチング速度との関係上、

良好なチャンネル動作およびソース・ゲート間、ドレイン・ゲート間の漏洩電流を防止するために必要な適正なソース・ドレイン間を確保するためには、かなりの掘込み深さが必要となり、このことはゲート電極に対するソース・ドレイン電極の段差を大きくする欠点を有している。

#### (発明の目的)

この発明は、上記従来の欠点を除去するためになされたもので、ゲートを短くでき、ソース・ドレイン間の直列的付加抵抗を最小にでき、高性能な集積化素子とすることができるショットキ接合形化合物半導体電界効果トランジスタを提供することを目的とする。

#### (発明の構成)

この発明のショットキ接合形化合物半導体電界効果トランジスタは、n形化合物半導体活性化層を有する半絶縁性化合物半導体基板上に活性化層部分を被い、ソース・ドレイン電極域を開窓した絶縁膜を設け、この開窓部と活性化層を被っている絶縁膜上の一部に横方向への選択エピタキシャル

成長を行なうとともに、横方向成長端面をマスクとして絶縁膜の開窓をエッチングによりn形化合物半導体活性域部を設け、この開窓部に横方向成長端面をマスクとしてショットキ接合ゲート電極金属を構成するようにしたものである。

#### (実施例)

以下、この発明のショットキ接合形化合物半導体電界効果トランジスタの実施例について図面に基づき説明する。第2図(a)~第2図(d)はその一実施例を得るための工程説明図である。

まず、第2図(a)に示すように、(100)面を結晶面とした半絶縁性GaAs基板8の表面にn形GaAs活性層9をエピタキシャル成長法で設け、このn形GaAs活性層9の表面に絶縁膜として、SiO<sub>2</sub>膜もしくはSi<sub>3</sub>N<sub>4</sub>膜を設け、通常のレジストマスクによる露光描画法により、n形GaAs活性域部10に絶縁膜11を残し、ソース・ドレイン電極域部12、13を開窓する。

次に、第2図(b)に示すように、この開窓した部分をマスクとしてn形GaAs活性層9上にn<sup>+</sup>GaAs

層14の選択エピタキシャル成長を行ない、この工程において、この発明の基本的特徴である絶縁膜11上への横方向成長部15, 16を形成する。

この場合の選択エピタキシャル成長法としては、開管式 $[Ga(CH_3)_3 - AsH_3 - H_2]$ 系のMO-CVD法が最も効果的である。

GaAsのエピタキシャル成長においては、結晶軸方向によつて、成長速度が異なり、特に絶縁膜をマスクとする選択エピタキシャル成長においては、成長速度の結晶軸依存性のためにパターンの形状に関係して種々の新しい現象が起こる。

第3図はこの発明の基本原理解として、絶縁膜上への横方向成長の横断面図を示すものであり、同図のような断面形状は(100)面結晶の2つの直交するべき開面の片方の軸方向(第3図(a))あるいはその方向と $30.96^\circ$ の方向(第3図(b))に対して実現されることが実験的に確認された。

このようなひさし状に延びた横方向結晶形状はゲート電極金属のマスクとして、リフトオフを容易にし、かつゲート電極金属と $n^+$ 層との適当な空

隙を構成する。

次に、第2図(c)に示すように、第2図(b)の工程で詳述したように、 $n^+$ GaAs層14のエピタキシャル成長によつて横方向に拡げられたことによつて形成された横方向成長部15, 16の端面をマスクとしてn形GaAs活性域部10の絶縁膜開窓エンチングを行なう。

次に、第2図(d)に示すように、前工程で開窓されたn形GaAs活性域部10に対して、選択エピタキシャル成長の横方向成長端面をセルフアライン方式のためのマスクとして、ショットキ接合ゲート電極金属17を真空蒸着、リフトオフ法により形成する。

次に、第2図(e)に示すように、ソース電極およびドレイン電極域を前工程の真空蒸着前に通常の露光描画法により、レジストマスクを設けておき、蒸着後のリフトオフで形成させ、このソース電極およびドレイン電極域上に両電極金属を真空蒸着、リフトオフ法およびアロイにより $n^+$ GaAs層14に対してオーミック接触のソース電極18およびドレ

イン電極19を設け、この発明の電界効果トランジスタが構成される。

#### (発明の効果)

このように、この発明のショットキ接合形化合物半導体電界効果トランジスタは、絶縁膜上への横方向成長技術に立脚して、この横方向成長部15, 16の端面をショットキ接合ゲート電極形成によるセルフアライン方式のマスクとして、効果的に活用して構成したものである。

したがつて、この発明の構成の最も基本的な効果は、 $n^+$ GaAs層14の選択エピタキシャル成長の横方向成長端面をマスクとすることにより起因し、次のような特徴を発揮する。

すなわち、第一は、選択エピタキシャル成長は母材単結晶の結晶性をそのまま引き継いだ関係上横方向成長部も優れた単結晶性を示しており、したがつて極めて正確な形状が確保される。

このことは、非常に直線性のよい形状に優れたゲートマスクの実現を可能とし、従来の実施例における絶縁膜をマスクとする場合の欠点を完全に

克服し極めて形状良好なゲート電極を形成することができる。

第二には、MO-CVD法による結晶成長における優れた成長制御性により横方向成長の両端面間距離は非常に狭い間隔、たとえば $0.3\mu m$ 程度までも極めて正確に実現可能であることが、実験的にも確認されたところであつて、このことは従来の露光描画法により実現可能な限界を超越した短ゲート長のショットキ接合ゲート電極の形成を可能とする効果を有する。

第三に、ソース・ゲート間およびゲート・ドレイン間はそれぞれの側の横方向成長量によつて精度よく制御された状態で完全にセルフアライン方式の手法が実現され、ソースおよびドレインの $n^+$ GaAs層14とn形GaAs活性域部10上のショットキ接合ゲート電極との相対位置関係を自動的に設定することができる。

次に、この発明におけるn形GaAs活性層9は $n^+$ GaAs層14の構成時に絶縁膜に保護されているために、 $n-n^+$ 層界面で問題になる不純物濃度勾配

のたれなどの悪影響がなく、高品質、均一性を有するゲート域を形成しうる効果を有する。

また、ソース・ドレイン間の活性域部は絶縁膜11のパターンで正確に確保しているため、ショットキ接合ゲート電極の動作を害することなしに、ソース・ドレイン間の直列付加抵抗を低減できる効果も有している。

以上詳述したように、この発明のショットキ接合化合物半導体電界効果トランジスタによれば、半導体基板上に活性域部を被い、ソース・ドレイン電極域を開窓した絶縁膜を形成し、この開窓部と活性域を被っている絶縁膜上の一部に選択エピタキシャル成長の横方向成長を適用して、ソース・ドレインに対して相対位置関係を自動的に高精度で設定したショットキ接合ゲート電極を形成するようにしたので、極めて形状良好でしかも、短ゲート長化およびソース・ドレイン間の直列付加抵抗の最小化を達成した高性能集積化素子とすることができる効果も有する。

#### 4. 図面の簡単な説明

第1図(a)および第1図(b)はそれぞれ従来のショットキ接合形化合物半導体電界効果トランジスタの製造工程を示す図、第2図(a)～第2図(e)はそれぞれこの発明のショットキ接合形化合物半導体電界効果トランジスタの一実施例を得るための工程説明図、第3図(a)および第3図(b)はそれぞれこの発明のショットキ接合形化合物半導体電界効果トランジスタにおける絶縁膜上の $n^+$ 層の横方向成長を示す横断面図である。

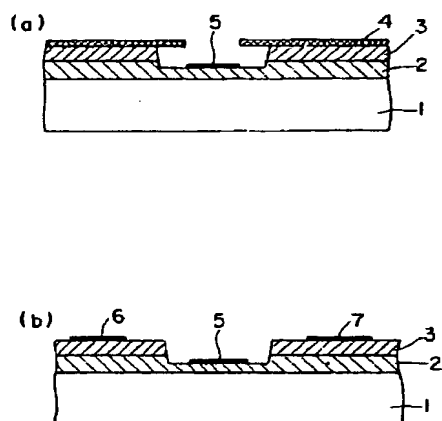
8…半絶縁性GaAs基板、9… $n$ 形GaAs活性層、10… $n$ 形GaAs活性域部、11…絶縁膜、12、13…ソース・ドレイン電極域部、14… $n^+$ GaAs層、15、16…横方向成長部、17…ショットキ接合ゲート電極金属、18…ソース電極、19…ドレイン電極。

特許出願人 沖電気工業株式会社（ほか1名）

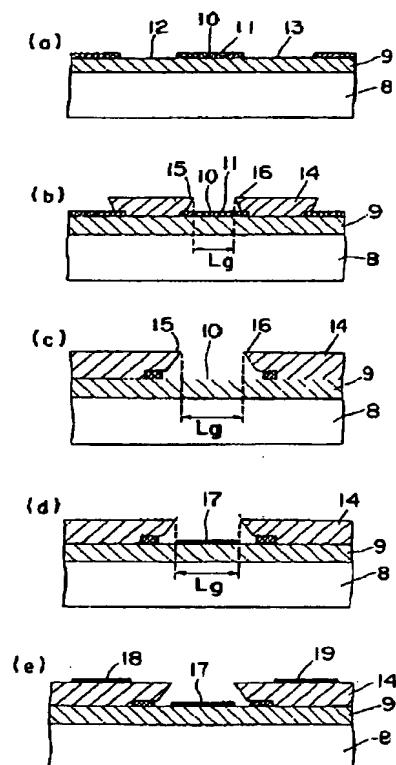
代理人 弁理士 菊 池



第 1 図



第 2 図



手 続 補 正 書

昭和 58 年 10 月 25 日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示

昭和 58 年 特 許 願 第 3 8 1 6 6 号

2. 発明の名称

シロツトキ接合形化合物半導体電界効果トランジスタ

3. 補正をする者

事件との関係 特 許 出 願 人

(029) 沖電気工業株式会社 (ほか1名)

4. 代 理 人

〒105 東京都港区虎ノ門一丁目2番20号 第1855号

弁理士 菊 池 弘

コード第6568号 電話 501-2453(代表)

5. 補正命令の日付 昭和 年 月 日 (自発)

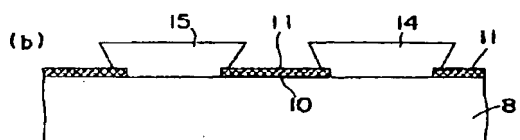
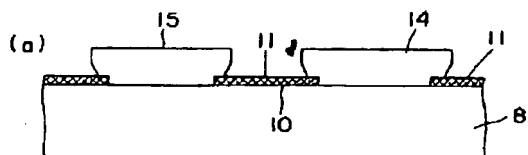
6. 補正の対象

明細書の発明の詳細な説明の欄

7. 補正の内容

別 紙 の 通 り

第 3 図



7. 補正の内容

- 1) 明細書 5 頁 9 行「ゲート」を「ゲート長」と訂正する。
- 2) 同 5 頁 1 6 行「活性化層」を「活性層」と訂正する。
- 3) 同 7 頁 5 行「 $\text{Ga}(\text{CH}_3)_3-\text{AsH}_3-\text{H}_2$ 」を「 $\text{Ga}(\text{CH}_3)_3-\text{AsH}_3-\text{H}_2$ 」と訂正する。
- 4) 同 8 頁 1 4 行ないし 9 頁 2 行「次に……構成される。」を「次に、通常の露光描画法によるレジストマスクの形成、電極金属の真空蒸着、リフトオフおよびアロイを行うことにより、第 2 図(e)に示すように、 $n^+\text{GaAs}$  層 14 のソース電極およびドレイン電極域にオーム性接触のソース電極 1 8 およびドレイン電極 1 9 を形成する。以上により、この発明の電界効果トランジスタが構成される。」と訂正する。
- 5) 同 9 頁 7 行および 8 行「による」を「のための」と訂正する。